

Hivertec CPD Series

ポートリファレンス

HPCIe-CPD678N

目次

第 1 章	はじめに	3
1.1	ポート表について	3
1.2	PCI コンフィグレーションレジスタ	3
第 2 章	ポート表	4
2.1	オプションポート	5
第 3 章	オプションポート詳細	7
3.1	± ELS 極性設定 : ELPOL	7
3.2	DLS/PCS 入力選択 : SELDLPC	7
3.3	CMP4 比較条件成立時の STA 出力設定 : C4STA	7
3.4	CMP5 比較条件成立時の STP 出力設定 : C5STP	7
3.5	CMP3~5 比較結果外部出力設定 (X~U 軸) : CPCMP1	8
3.6	CMP3~5 比較結果外部出力設定 (X1~U1 軸) : CPCMP2	8
3.7	ボード割込み許可設定 : INTENA	9
3.8	ボード割込状態 : INTSTS	9
3.9	マスタ・スレーブエリア機能有効 : SYNCEN	10
3.10	X-U マスタ・スレーブエリア用コンパレータ選択 : XSYNCCMP	10
3.11	X1-U1 軸マスタ・スレーブエリア用コンパレータ選択 : VSYNCCMP	10
3.12	ボード ID : BID	10
3.13	エンコーダフィルタ設定 : ENFIL	11
3.14	マスタエンコーダ設定 : J3SEL	11
3.15	STP 信号用偏差エラー出力 : DEVSTP	11
3.16	偏差エラーステータス : DEVERR	11
3.17	カウンタ入力選択 : CTRSEL	12
3.18	ExCounter1 : EXCTR1	12
3.19	ExCounter2 : EXCTR2	12
3.20	偏差エラー許容範囲設定 : ECCMP	12
3.21	偏差エラー発生時の内部 DLS 信号出力設定 : ECDLS	13
3.22	ボード種別読み出し 2 : SUBCODE	13

第1章

はじめに

1.1 ポート表について

各ポートにはビット毎に各種の機能が割り振られており、表記については次の通りです。

表 1.1 ポート表説明図

項目	説明
英数字の意味	設定及び読みだすビットの呼称です。
数値 "0"または"1"	書込み時はこの値を書込み、読み込み時にはこの値が読みだされます。
英字 "n"	軸名称または汎用入出力点の番号を表します。

1.2 PCI コンフィグレーションレジスタ

各 CPD シリーズ製品の PCI コンフィギュレーションレジスタの情報が必要な場合は別途ご請求ください。

第2章

ポート表

ポートはすべてメモリマップド I/O です。

区分		アドレス	呼称	読み込み (IN)	呼称	書き込み (OUT)
PCL	X 軸	00	MSTS	メインステータス	CMD	コマンド
PCL	X 軸	02	SSTS	サブステータス	CTP	予約
PCL	X 軸	04	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL	X 軸	06	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL	Y 軸	08	MSTS	メインステータス	CMD	コマンド
PCL	Y 軸	0a	SSTS	サブステータス	CTP	予約
PCL	Y 軸	0c	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL	Y 軸	0e	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL	Z 軸	10	MSTS	メインステータス	CMD	コマンド
PCL	Z 軸	12	SSTS	サブステータス	CTP	予約
PCL	Z 軸	14	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL	Z 軸	16	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL	U 軸	18	MSTS	メインステータス	CMD	コマンド
PCL	U 軸	1a	SSTS	サブステータス	CTP	予約
PCL	U 軸	1c	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL	U 軸	1e	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL1	X 軸	20	MSTS	メインステータス	CMD	コマンド
PCL1	X 軸	22	SSTS	サブステータス	CTP	予約
PCL1	X 軸	24	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL1	X 軸	26	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL1	Y 軸	28	MSTS	メインステータス	CMD	コマンド
PCL1	Y 軸	2a	SSTS	サブステータス	CTP	予約
PCL1	Y 軸	2c	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL1	Y 軸	2e	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL1	Z 軸	30	MSTS	メインステータス	CMD	コマンド
PCL1	Z 軸	32	SSTS	サブステータス	CTP	予約
PCL1	Z 軸	34	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL1	Z 軸	36	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL1	U 軸	38	MSTS	メインステータス	CMD	コマンド
PCL1	U 軸	3a	SSTS	サブステータス	CTP	予約
PCL1	U 軸	3c	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL1	U 軸	3e	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)

2.1 オプションポート

表 2.1 オプションポート (1/2)

アドレス	呼称	読み込み (IN)	呼称	書き込み (OUT)
80	ELPOL	各軸 ELS 極性状態	ELPOL	各軸 ELS 極性設定
82	SELDLPC	DLS/PCS 入力選択状態	SELDLP	DLS/PCS 入力選択設定
84	C4STA	コンパレータ 4 比較条件成立で STA 出力設定状態	C4STA	コンパレータ 4 比較条件成立で STA 出力設定
86	C5STP	コンパレータ 5 比較条件成立で STP 出力設定状態	C5STP	コンパレータ 5 比較条件成立で STP 出力設定
88		予約		予約
8a		予約		予約
8c	CPCMP1	コンパレータ (3-5) 比較結果 外部出力設定状態	CPCMP1	コンパレータ (3-5) 比較結果 外部出力設定
8e	CPCMP2	コンパレータ (3-5) 比較結果 外部出力設定状態	CPCMP1	コンパレータ (3-5) 比較結果 外部出力設定
90	INTENA	ボード割込マスク設定状態	INTENA	ボード割込マスク設定
92	INTSTS	ボード割込状態		予約
94	SYNCEN	マスタ・スレーブエリア 機能有効設定状態	SYNCEN	マスタ・スレーブエリア 機能有効設定
96	XSYNCCMP	X-U 軸マスタ・スレーブエリア用 コンパレータ選択状態	XSYNCCMP	X-U 軸マスタ・スレーブエリア用 コンパレータ選択
98	VSYNCCMP	X1-U1 軸マスタ・スレーブエリア用 コンパレータ選択状態	VSYNCCMP	X1-U1 軸マスタ・スレーブエリア用 コンパレータ選択
9a		予約		予約
9c	BID	ボード ID (ロータリースイッチ設定値:0-f)		予約
9e		予約		予約
a0		予約		予約
a2	ENFIL	エンコーダフィルタ設定状態	ENFIL	エンコーダフィルタ設定
a4	J3SEL	マスタエンコーダ設定状態	J3SEL	マスタエンコーダ設定
a6	DEVSTP	STP 信号用偏差エラー出力	DEVSTP	STP 信号用偏差エラー出力
a8		予約		予約
aa	DEVERR	偏差エラーステータス		予約
ac		予約		予約
ae	CTRSEL	カウンタ入力選択設定状態	CTRSEL	カウンタ入力選択設定
b0	EXCTR1	ExCounter1(未検証)	EXCTR1	ExCounter1(未検証)
b4	EXCTR2	ExCounter2(未検証)	EXCTR2	ExCounter2(未検証)
b8	ECCMP	偏差エラー許容範囲設定状態	ECCMP	偏差エラー許容範囲設定
ba	ECDLS	偏差エラー発生時の内部 DLS 信号出力状態	ECDLS	偏差エラー発生時の内部 DLS 信号出力設定
bc~		予約		予約

表 2.2 オプションポート (2/2)

アドレス	呼称	読み込み (IN)	呼称	書き込み (OUT)
c0	BCOD	ボードコード:48h		予約
c1	BCOD	ボードコード:50h		予約
c2	BCOD	ボードコード:56h		予約
c3	BCOD	ボードコード:67h		予約
c4	BCOD	ボードコード:54h		予約
c5	BCOD	ボードコード:8ah		予約
c6	BCOD	ボードコード:00h		予約
c7	BCOD	ボードコード:00h		予約
c8	BCOD	ボードコード:57h		予約
c9	BCOD	ボードコード:00h		予約
ca	BCOD	ボードコード:8ah		予約
cb	BCOD	ボードコード:00h		予約
cc	BCOD	ボードコード:ボード ID		予約
cd	BCOD	ボードコード:00h		予約
ce	BCOD	ボードコード:01h		予約
cf	BCOD	ボードコード:72h		予約
d0~		予約		予約

第3章

オプションポート詳細

3.1 ± ELS 極性設定 : ELPOL

Read/Write アドレス:80h

各軸の± ELS の入力極性設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1ELS	Z1ELS	Y1ELS	X1ELS	UELS	ZELS	YELS	XELS

ビット	名称	内容
7-0	nELS	各軸 1 ビットで設定 0:B 接、1:A 接 (電源投入時は 0)

3.2 DLS/PCS 入力選択 : SELDLPC

Read/Write アドレス:82h

DLS と PCS の入力信号線が同一であるため、各軸の入力信号を選択可能です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1PCS	Z1PCS	Y1PCS	X1PCS	UPCS	ZPCS	YPCS	XPCS

ビット	名称	内容
7-0	nPCS	各軸 1 ビットで設定 0:DLS、1:PCS(電源投入時は 0)

3.3 CMP4 比較条件成立時の STA 出力設定 : C4STA

Read/Write アドレス:84h

コンパレータ 4 比較条件成立時に、他 PCL または他 CPD ボードに対し STA 信号を出力する設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1C4	Z1C4	Y1C4	X1C4	UC4	ZC4	YC4	XC4

ビット	名称	内容
7-0	nC4	各軸 1 ビットで設定 0:STA 出力しない、1:STA 出力する (電源投入時は 0)

3.4 CMP5 比較条件成立時の STP 出力設定 : C5STP

Read/Write アドレス:86h

コンパレータ 5 比較条件成立時に、他 PCL または他 CPD ボードに対し STP 信号を出力する設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1C5	Z1C5	Y1C5	X1C5	UC5	ZC5	YC5	XC5

ビット	名称	内容
7-0	nC5	各軸 1 ビットで設定 0:STP 出力しない、1:STP 出力する (電源投入時は 0)

3.5 CMP3～5 比較結果外部出力設定 (X～U 軸) : CPCMP1

Read/Write アドレス:8ch

各軸のコンパレータ比較条件成立中の信号を外部に出力できます。使用できるコンパレータは CMP3、CMP4、CMP5 のいずれかです。コネクタ J1(X-U)、J3(X-U) の各端子から出力可能です。

X-U 軸マスタ・スレーブエリア機能有効時は、XCP1-0 の CMP3 は使用不可です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								UCP		ZCP		YCP			XCP

ビット	名称	内容
7-0	nCP	各軸 2 ビットで設定 00: CMP3、01: CMP4、10: CMP5、11: 出力禁止

3.6 CMP3～5 比較結果外部出力設定 (X1～U1 軸) : CPCMP2

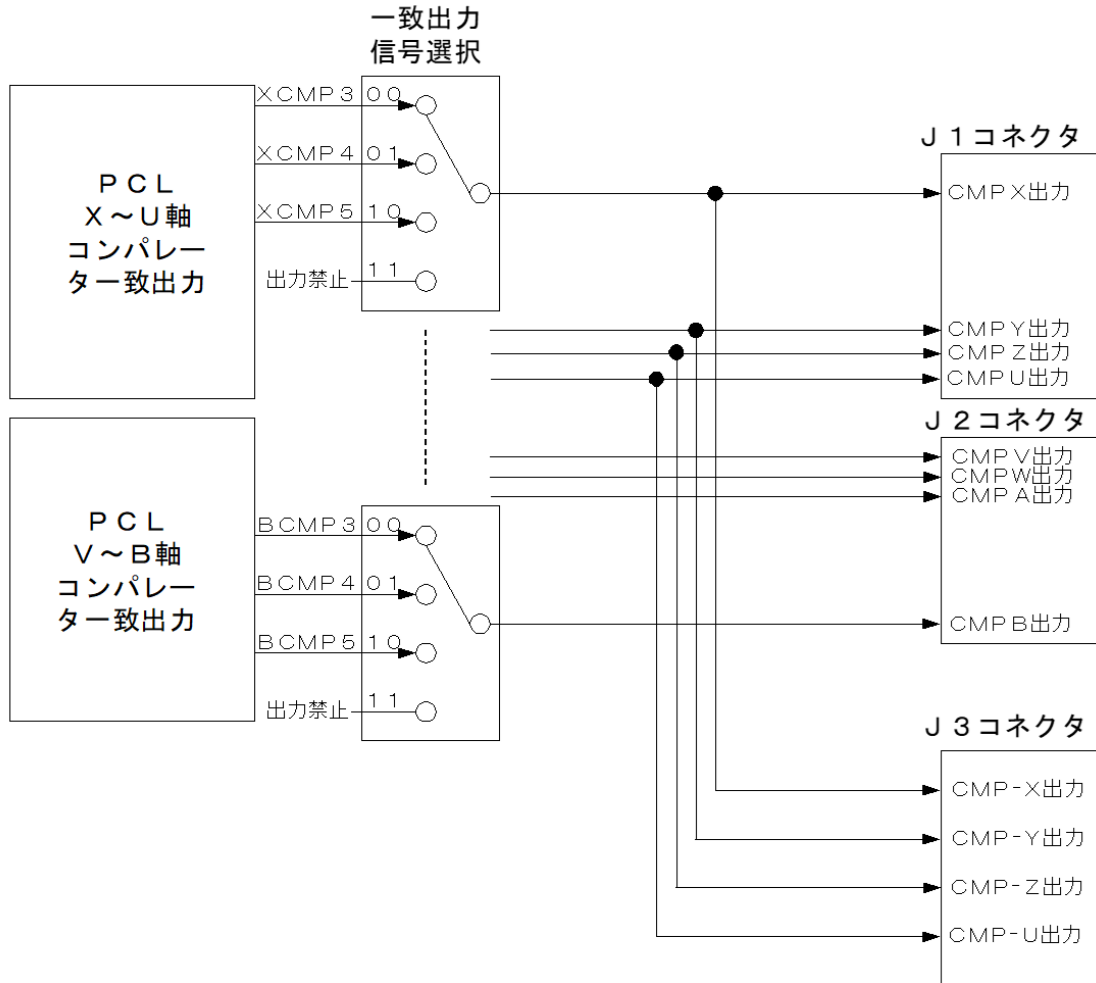
Read/Write アドレス:8eh

各軸のコンパレータ比較条件成立中の信号を外部に出力できます。使用できるコンパレータは CMP3、CMP4、CMP5 のいずれかです。コネクタ J2(X1-U1) の各端子から出力可能です。

X1-U1 軸マスタ・スレーブエリア機能有効時は、X1CP1-0 の CMP3 は使用不可です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1CP		Z1CP		Y1CP			X1CP

ビット	名称	内容
7-0	nCP	各軸 2 ビットで設定 00: CMP3、01: CMP4、10: CMP5、11: 出力禁止



3.7 ボード割り込み許可設定 : INTENA

Read/Write アドレス:90h

ボードからバスへの割り込み許可設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															INTENA

ビット	名称	内容
0	INTENA	0:割り込み禁止、1:割り込み許可

3.8 ボード割り込み状態 : INTSTS

Read アドレス:92h

ボードからの割り込み状態を表します。本ポートのクリア条件は以下の3つです。

- 割り込み要因となっている PCL のエラーおよびイベントのクリア (エラーステータスレジスタ、イベントステータスレジスタのリードクリアも含まれます)
- ボード割り込み許可設定 INTENA を"禁止"にしたとき
- 1 書き込みでクリア

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															INTSTS

第3章 オプションポート詳細

ビット	名称	内容
0	INTSTS	0:割込みなし、1:割込み発生 (電源投入時は0)

3.9 マスタ・スレーブエリア機能有効 : SYNCEN

Read/Write アドレス:94h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											X1_EN				X_EN

ビット	名称	内容
0	X_EN	0:X-U 軸マスタ・スレーブエリア機能無効、 1:X-U 軸マスタ・スレーブエリア機能有効 (電源投入時は0)
4	X1_EN	0:X1-U1 軸マスタ・スレーブエリア機能無効、 1:X1-U1 軸マスタ・スレーブエリア機能有効 (電源投入時は0)

3.10 X-U マスタ・スレーブエリア用コンパレータ選択 : XSYNCCMP

Read/Write アドレス:96h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U1SC	Z1SC	Y1SC	X1SC	USC	ZSC	YSC	XSC								

ビット	名称	内容
1-0	XSC	00:選択なし、01:XCMP4、10:XCMP5、11:XCMP4 AND XCMP5
7-2	nSC (n:Y-U 軸)	00:選択なし、01:Y-CMP3 AND Y-CMP4、10:Y-CMP3 AND Y-CMP5、11:Y-CMP4 AND Y-CMP5
9-8	X1SC	00:選択なし、01:X1-CMP4、10:X1-CMP5、11:X1-CMP4 AND X1-CMP5
15-10	nSC (n:Y1-U1 軸)	00:選択なし、01:Y1-CMP3 AND Y1-CMP4、10:Y1-CMP3 AND Y1-CMP5、11:Y1-CMP4 AND Y1-CMP5

3.11 X1-U1 軸マスタ・スレーブエリア用コンパレータ選択 : VSYNCCMP

Read/Write アドレス:98h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U1SC	Z1SC	Y1SC	X1SC	USC	ZSC	YSC	XSC								

ビット	名称	内容
1-0	XSC	00:選択なし、01:XCMP4、10:XCMP5、11:XCMP4 AND XCMP5
7-2	nSC (n:Y-U 軸)	00:選択なし、01:Y-CMP3 AND Y-CMP4、10:Y-CMP3 AND Y-CMP5、11:Y-CMP4 AND Y-CMP5
9-8	X1SC	00:選択なし、01:X1-CMP4、10:X1-CMP5、11:X1-CMP4 AND X1-CMP5
15-10	nSC (n:Y1-U1 軸)	00:選択なし、01:Y1-CMP3 AND Y1-CMP4、10:Y1-CMP3 AND Y1-CMP5、11:Y1-CMP4 AND Y1-CMP5

3.12 ボード ID : BID

Read アドレス:9ch

ボード ID 設定用ロータリースイッチの値を表します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															BID

ビット	名称	内容
3-0	BID	ボード ID 設定用ロータリースイッチの値

3.13 エンコーダフィルタ設定 : ENFIL

Read/Write アドレス:a2h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								U1FIL	Z1FIL	Y1FIL	X1FIL	UFIL	ZFIL	YFIL	X_FIL (I_PLS)

ビット	名称	内容
0	I_PLS	J3 スレーブ入力のフィルタ設定 0:50ns フィルタあり、1:フィルタなし (電源投入時は 0)
7-0	nFIL	エンコーダ入力のフィルタ設定 0:50ns フィルタあり、1:フィルタなし (電源投入時は 0)

3.14 マスタエンコーダ設定 : J3SEL

Read/Write アドレス:a4h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											J3SYNC	J3X1	J3X		

ビット	名称	内容
1-0	J3X	00:X 軸エンコーダを X-U マスタエンコーダとして使用 01:J3 コネクタ SYNC A/B 入力を X-U マスタエンコーダとして使用 10:U1 軸エンコーダを X-U マスタエンコーダとして使用 11:予約 (電源投入時は 0)
3-2	J3X1	00:U1 軸エンコーダを X1-U1 マスタエンコーダとして使用 01:J3 コネクタ SYNC A/B 入力を X1 - U1 マスタエンコーダとして使用 (J3SYNC=1 の時は設定禁止) 10:予約 11:Z 軸指令パルスを X1-U1 マスタエンコーダとして使用 (電源投入時は 0)
4	J3SYNC	0:J3 コネクタ SYNC A/B から Z 軸指令パルス出力を禁止 1:J3 コネクタ SYNC A/B から Z 軸指令パルス出力を許可 (電源投入時は 0)

3.15 STP 信号用偏差エラー出力 : DEVSTP

Read/Write アドレス:a6h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								OREC							

ビット	名称	内容
7	OREC	0:出力しない、1:出力する (電源投入時は 0)

3.16 偏差エラーステータス : DEVERR

Read アドレス:aah

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															ERR

ビット	名称	内容
0	ERR	1:偏差エラー

3.17 カウンタ入力選択 : CTRSEL

Read/Write アドレス:aeh

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		C2E				C2C				C1E				C1C	

ビット	名称	内容
2-0	C1C	CTR1 の CH(入力元) 設定 (電源投入時は 0) 000:CH1(X)、001:CH2(Y)、010:CH3(Z)、011:CH4(U) 100:CH5(X1)、101:CH6(Y1)、110:CH7(Z1)、111:CH8(U1)
6-4	C1E	CTR1 のカウント方法 (電源投入時は 0) 000:A/B 4 通倍、001:Up/Down 010:Pulse/Dir、011:Dir/Pulse 101:A/B 1 通倍、110:A/B 2 通倍
10-8	C2C	CTR2 の CH(入力元) 設定 (電源投入時は 0) 000:CH1(X)、001:CH2(Y)、010:CH3(Z)、011:CH4(U) 100:CH5(X1)、101:CH6(Y1)、110:CH7(Z1)、111:CH8(U1)
14-12	C2E	CTR2 のカウント方法 (電源投入時は 0) 000:A/B 4 通倍、001:Up/Down 010:Pulse/Dir、011:Dir/Pulse 101:A/B 1 通倍、110:A/B 2 通倍

3.18 ExCounter1 : EXCTR1

Read/Write アドレス:b0h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

ビット	名称	内容
31-0		32 ビットエンコーダのフィードバックカウント (電源投入時は 0)

3.19 ExCounter2 : EXCTR2

Read/Write アドレス:b4h

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

ビット	名称	内容
31-0		32 ビットエンコーダのフィードバックカウント (電源投入時は 0)

3.20 偏差エラー許容範囲設定 : ECCMP

Read/Write アドレス:b8h

設定値と FPGA カウンタの間の偏差は比較され、その違いが設定値と同じか大きい時、停止が可能になります。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCMP															

ビット	名称	内容
15-0	ECCMP	偏差エラー設定許容範囲 (0 ~ 65535) (電源投入時は 0)

3.21 偏差エラー発生時の内部 DLS 信号出力設定 : ECDLS

Read/Write アドレス:bah

偏差エラー発生時、内部 DLS 信号を出力することが可能です。

15	13	11	9 8	7 6	5 4	3 2	1 0
14	12	10					
DU1	DZ1	DY1	DX1	DU	DZ	DY	DX

ビット	名称	内容
1-0	DX	対 X 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
3-2	DY	対 Y 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
5-4	DZ	対 Z 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
7-6	DU	対 U 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
9-8	DX1	対 X1 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
11-10	DY1	対 Y1 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
13-12	DZ1	対 Z1 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する
15-14	DU1	対 U1 軸の DLS (電源投入時は 0) 00:出力しない、10:負論理を出力する、11:正論理を出力する

3.22 ボード種別読み出し 2 : SUBCODE

Read アドレス:a8h

軸数が読み出せます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCODE															

ビット	名称	内容
15-0	SUBCODE	軸数が読み出せる

HPCIe-CPD678N ポート表

2023 年 12 月 26 日 新規作成 v1.0.0

発行所 株式会社ハイパーテック

連絡先 株式会社 ハイバ - テック、東京都江東区新大橋 1-8-11 大樹生命新大橋ビル、TEL 03-3846-3801、FAX
03-3846-3773、sales@hivertec.co.jp