

Hivertec CPD Series

ポートリファレンス

HPCI-CPD532

目次

第 1 章	はじめに	3
1.1	ポート表について	3
1.2	PCI コンフィグレーションレジスタ	3
第 2 章	ポート表	4
2.1	オプションポート	5
第 3 章	オプションポート詳細	6
3.1	± ELS 極性設定 : ELPOL	6
3.2	DLS/PCS 入力選択 : SELDLPC	6
3.3	CMP4 比較条件成立時の STA 出力設定 : C4STA	6
3.4	CMP5 比較条件成立時の STP 出力設定 : C5STP	6
3.5	ボード割込み許可設定 : INTENA	7
3.6	ボード割込状態 : INTSTS	7
3.7	ボード ID : BID	7

第1章

はじめに

1.1 ポート表について

各ポートにはビット毎に各種の機能が割り振られており、表記については次の通りです。

表 1.1 ポート表説明図

項目	説明
英数字の意味	設定及び読みだすビットの呼称です。
数値 "0"または"1"	書込み時はこの値を書込み、読み込み時にはこの値が読みだされます。
英字 "n"	軸名称または汎用入出力点の番号を表します。

1.2 PCI コンフィグレーションレジスタ

各 CPD シリーズ製品の PCI コンフィギュレーションレジスタの情報が必要な場合は別途ご請求ください。

第2章

ポート表

ポートはすべてメモリマップド I/O です。

区分	アドレス	呼称	読み込み (IN)	呼称	書き込み (OUT)
PCL X 軸	00	MSTS	メインステータス	CMD	コマンド
PCL X 軸	02	SSTS	サブステータス	CTP	予約
PCL X 軸	04	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL X 軸	06	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)
PCL Y 軸	08	MSTS	メインステータス	CMD	コマンド
PCL Y 軸	0a	SSTS	サブステータス	CTP	予約
PCL Y 軸	0c	BUF0	入力バッファ IN(15-0)	BUF0	入力バッファ OUT(15-0)
PCL Y 軸	0e	BUF1	入力バッファ IN(31-16)	BUF1	入力バッファ OUT(31-16)

2.1 オプションポート

アドレス	呼称	読み込み (IN)	呼称	書き込み (OUT)
80	ELPOL	各軸 ELS 極性状態	ELPOL	各軸 ELS 極性設定
82	SELDLPC	DLS/PCS 入力選択状態	SELDLP	DLS/PCS 入力選択設定
84	C4STA	コンパレータ 4 比較条件成立で STA 出力設定状態	C4STA	コンパレータ 4 比較条件成立で STA 出力設定
86	C5STP	コンパレータ 5 比較条件成立で STP 出力設定状態	C5STP	コンパレータ 5 比較条件成立で STP 出力設定
88		予約		予約
8a		予約		予約
8c		予約		予約
8e		予約		予約
90	INTENA	ボード割込マスク設定状態	INTENA	ボード割込マスク設定
92	INTSTS	ボード割込状態		予約
94		予約		予約
96		予約		予約
98		予約		予約
9a		予約		予約
9c	BID	ボード ID (ロータリースイッチ設定値:0-f)		予約
9e~		予約		予約
c0	BCOD	ボードコード:48h		予約
c1	BCOD	ボードコード:50h		予約
c2	BCOD	ボードコード:49h		予約
c3	BCOD	ボードコード:35h		予約
c4	BCOD	ボードコード:56h		予約
c5	BCOD	ボードコード:33h		予約
c6	BCOD	ボードコード:45h		予約
c7	BCOD	ボードコード:32h		予約
c8	BCOD	ボードコード:52h		予約
c9	BCOD	ボードコード:00h		予約
ca	BCOD	ボードコード:54h		予約
cb	BCOD	ボードコード:00h		予約
cc	BCOD	ボードコード:45h		予約
cd	BCOD	ボードコード:00h		予約
ce	BCOD	ボードコード:43h		予約
cf	BCOD	ボードコード:00h		予約
d0~		予約		予約

第3章

オプションポート詳細

3.1 ± ELS 極性設定 : ELPOL

Read/Write アドレス:80h

各軸の± ELS の入力極性設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														YELS	XELS

ビット	名称	内容
1-0	nELS	各軸 1 ビットで設定 0:B 接、1:A 接 (電源投入時は 0)

3.2 DLS/PCS 入力選択 : SELDLPC

Read/Write アドレス:82h

DLS と PCS の入力信号線が同一であるため、各軸の入力信号を選択可能です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														YPCS	XPCS

ビット	名称	内容
1-0	nPCS	各軸 1 ビットで設定 0:DLS、1:PCS(電源投入時は 0)

3.3 CMP4 比較条件成立時の STA 出力設定 : C4STA

Read/Write アドレス:84h

コンパレータ 4 比較条件成立時に、他 PCL(PCL が複数ある製品に限る) または他 CPD ボードに対し STA 信号を出力する設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														YC4	XC4

ビット	名称	内容
1-0	nC4	各軸 1 ビットで設定 0:STA 出力しない、1:STA 出力する (電源投入時は 0)

3.4 CMP5 比較条件成立時の STP 出力設定 : C5STP

Read/Write アドレス:86h

コンパレータ 5 比較条件成立時に、他 PCL(PCL が複数ある製品に限る) または他 CPD ボードに対し STP 信号を出力する設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														YC5	XC5

ビット	名称	内容
1-0	nC5	各軸 1 ビットで設定 0:STP 出力しない、1:STP 出力する (電源投入時は 0)

3.5 ボード割込み許可設定 : INTENA

Read/Write アドレス:90h

ボードからバスへの割り込み許可設定をします。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															INTENA

ビット	名称	内容
0	INTENA	0:割込み禁止、1:割込み許可

3.6 ボード割込状態 : INTSTS

Read アドレス:92h

ボードからの割込み状態を表します。本ポートのクリア条件は以下の 3 つです。

- 割り込み要因となっている PCL のエラーおよびイベントのクリア (エラーステータスレジスタ、イベントステータスレジスタのリードクリアも含みます)
- ボード割り込み許可設定 INTENA を"禁止"にしたとき
- 1 書き込みでクリア

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															INTSTS

ビット	名称	内容
0	INTSTS	0:割込み発生、1:割込みなし (電源投入時は 1)

3.7 ボード ID : BID

Read アドレス:9ch

ボード ID 設定用ロータリースイッチの値を表します。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															BID

ビット	名称	内容
3-0	BID	ボード ID 設定用ロータリースイッチの値

HPCI-CPD532 ポート表

2023年12月26日 新規作成 v1.0.0

発行所 株式会社ハイパーテック

連絡先 株式会社 ハイバ - テック、東京都江東区新大橋 1-8-11 大樹生命新大橋ビル、TEL 03-3846-3801、FAX
03-3846-3773、sales@hivertec.co.jp